

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-312393

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 G
27/115			27/10	4 3 4
21/336			29/78	3 0 1 L
21/8247				3 7 1
29/788				

審査請求 未請求 請求項の数14 O L (全 26 頁) 最終頁に続く

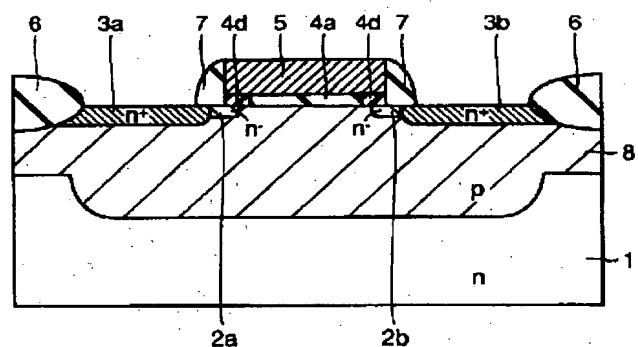
(21) 出願番号	特願平8-127127	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成8年(1996)5月22日	(72) 発明者	黒井 隆 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	佐山 弘和 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74) 代理人	弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ゲート絶縁膜の一部の窒素濃度を高めることにより、キャリアの移動度の低下をもたらすことなく信頼性の高い半導体装置およびその製造方法を提供する。

【解決手段】 ゲート絶縁膜4aの両端部には窒素を含む窒素含有領域4dが設けられ、またゲート絶縁膜4aは、その膜厚さが均一に形成されている。



(2)

特開平9-312393

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の主表面に所定の間隔を隔てて形成された前記第1導電型とは反対の導電型の第2導電型の1対の不純物領域と、前記1対の不純物領域の間に形成されるチャネル領域と、前記チャネル領域の上に前記チャネル領域を含むように形成された絶縁膜と、前記絶縁膜の上に形成された第1電極と、を備え、前記絶縁膜はその膜厚さが均一であり、前記1対の不純物領域に接する両端部に窒素を含む窒素含有領域を有する、半導体装置。

【請求項2】 前記絶縁膜は、前記窒素含有領域に挟まれた領域に、窒素の不純物濃度が前記窒素含有領域よりも低濃度の低濃度窒素含有領域を有する、請求項1に記載の半導体装置。

【請求項3】 前記1対の不純物領域には、前記低濃度窒素含有領域から前記半導体基板にかけて延びるように形成された窒素不純物層を有する、請求項1に記載の半導体装置。

【請求項4】 前記絶縁膜は、前記窒素含有領域に挟まれた領域に、窒素の不純物濃度が前記窒素含有領域よりも低濃度の低濃度窒素含有領域を有し、前記ゲート電極は窒素を含んでいる、請求項3に記載の半導体装置。

【請求項5】 第1導電型の半導体基板の主表面に所定の間隔を隔てて形成された前記第1導電型とは反対の導電型の第2導電型の1対の不純物領域と、前記1対の不純物領域の間に形成されるチャネル領域と、前記チャネル領域の上に形成された絶縁膜と、前記絶縁膜の上に形成された第1電極とを備え、前記絶縁膜は、前記1対の不純物領域に接する両端部に窒素を含む窒素含有領域と、この窒素含有領域に挟まれた領域に窒素の不純物濃度が前記窒素含有領域よりも低濃度の低濃度窒素含有領域とを有し、前記窒素含有領域よりも前記低濃度窒素含有領域の方が膜厚が厚い、半導体装置。

【請求項6】 前記半導体装置は、前記第1電極の上に層間絶縁膜を介在して第2電極を有する、請求項1～請求項5のいずれかに記載の半導体装置。

【請求項7】 第1導電型の半導体基板の主表面に絶縁膜を形成する工程と、前記絶縁膜の上に第1電極を形成する工程と、前記絶縁膜と前記第2電極とをフォトリソグラフィ技術を用いて所定の形状にパターニングする工程と、

前記第1電極をマスクにして、前記半導体基板に前記第1導電型と反対の導電型の第2導電型の不純物を導入し、1対の不純物領域を形成する工程と、窒素を含有するガスが含まれる雰囲気中で熱処理を加えることにより、前記絶縁膜の両端部に窒素含有領域を形成する工程と、を備えた、半導体装置の製造方法。

【請求項8】 前記第1電極を形成する工程は、前記第1電極の上に層間絶縁膜を介在して第2電極を形成する工程を含み、前記第1電極をパターニングする工程は、前記第2電極を同時にパターニングする工程を含み、前記1対の不純物領域を形成する工程は、前記第2電極もマスクにして前記第2導電型の不純物を注入する工程を含む、請求項7に記載の半導体装置の製造方法。

【請求項9】 前記絶縁膜を形成する工程は、前記窒素含有領域の窒素の濃度よりも低濃度の窒素を含むように形成される、請求項7または請求項8のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記窒素ガスを含有するガスは、一酸化窒素、二酸化窒素およびアンモニアからなるグループから選択された少なくとも1つのガスであり、前記熱処理を加える工程は、約800℃の熱処理により前記絶縁膜の両端部に窒素含有領域を形成する、請求項9に記載の半導体装置の製造方法。

【請求項11】 前記窒素を含有するガスおよび前記熱処理工程は、一酸化窒素を用いて約900℃の熱処理、または、二酸化窒素を用いて約1000℃の熱処理である、請求項9に記載の半導体装置の製造方法。

【請求項12】 第1導電型の半導体基板の主表面に絶縁膜を形成する工程と、前記絶縁膜の上に第1電極を形成する工程と、前記第1電極の上にフォトリソグラフィ技術を用いて所定形状のレジスト膜を形成し、前記レジスト膜をマスクして、前記絶縁膜と前記第1電極とのパターニングを行なう工程と、前記レジスト膜を残存させたまま斜めイオン注入回転法を用いて、前記第1電極と前記絶縁膜の側壁および前記絶縁膜の側壁に接する前記半導体基板に窒素を注入し窒素注入領域を形成する工程と、前記レジスト膜を除去した後、前記第1電極をマスクにして前記半導体基板に前記第1導電型とは反対の導電型の第2導電型の不純物を導入し、1対の不純物領域を形成する工程と、前記窒素注入領域に熱処理を加えることにより、前記絶縁膜の両端部に窒素含有領域を形成する工程と、を備えた半導体装置の製造方法。

【請求項13】 前記絶縁膜の上に第1電極を形成する

(3)

特開平9-312393

工程は、前記絶縁膜の上層部に窒素を注入し、窒素注入領域を形成する工程をさらに含む、請求項12に記載の半導体装置の製造方法。

【請求項14】 前記第1電極を形成する工程は、前記第1電極の上に層間絶縁膜を介在して第2電極を形成する工程を含み、前記第1電極をパターンニングする工程は、前記第2電極も同時にパターンニングする工程を含み、前記1対の不純物領域を形成する工程は、前記第2電極もマスクにして前記第2導電型の不純物を注入する工程を含む、請求項12または請求項13のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、より特定的には、ゲート絶縁膜の一部に窒素を導入することにより、半導体装置の信頼性を向上させることのできる半導体装置および製造方法に関するものである。

【0002】

【従来の技術】半導体集積回路を製造する上で、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート絶縁膜の信頼性を確保することは、重要な課題である。ゲート絶縁膜の信頼性を劣化する要因の1つに、ゲート絶縁膜へのホットキャリアの注入がある。半導体装置の寸法が小さくなると、半導体装置内部のチャネル領域に沿った方向の電界が強くなり、チャネル領域に存在するキャリアがこの電界によって加速され高いエネルギーを持つようになる。このような高いエネルギーを持つキャリアがホットキャリアである。このホットキャリアは、エネルギーが高いために、半導体基板とゲート絶縁膜界面のエネルギー障壁を超えて容易にゲート絶縁膜に注入される。

【0003】ゲート絶縁膜に注入されたキャリアは、その一部がゲート酸化膜中に捕獲されるか、または界面準位を発生させて半導体装置のしきい値電圧を変動させたり、電流駆動能力を低下させる。

【0004】このようなホットキャリアに対する半導体装置の信頼性低下を防止する目的で、ゲート絶縁膜として窒化酸化膜を用いる技術が提案されている。ゲート絶縁膜として窒化酸化膜を用いた場合、ホットキャリア耐性が向上する以外に、ゲート絶縁膜の破壊に至るまでの注入電荷量を向上することができ、ゲート電極中のドーパントがゲート絶縁膜を突き抜けて半導体基板に拡散することを抑制することができる。

【0005】以下、図69を参照して、従来のMOSFETに構造について簡単に説明する。n型半導体基板1に形成されたpウェル領域8には、n⁺ドレイン拡散領域3aとn⁺ソース拡散領域3bとが所定の間隔を隔て

てチャネル領域を挟むように形成されている。

【0006】また、n⁺ドレイン拡散領域3aとn⁺ソース拡散領域3bとのチャネル領域側には、LDD構造を構成するn⁻LDD層2a、2bが形成されている。チャネル領域上には、窒化酸化膜からなるゲート絶縁膜4bを介在して、ゲート電極5が形成されている。

【0007】次に、上記構造よりなるMOSFETの製造方法について図70～図73を参照して簡単に説明する。

【0008】まず図70を参照して、n型半導体基板1上に、選択酸化法により素子分離絶縁膜6を形成する。次に、p型の不純物としてボロンイオンなどを注入エネルギーを変化させて、かつ多段で階に分けてn型半導体基板1に注入することにより、pウェル8を形成すると同時に、MOSFETのしきい値制御を行なう。

【0009】次に、熱酸化により、n型半導体基板1の表面を酸化して、ゲート酸化膜4を形成する。その後、二酸化窒化が含まれる雰囲気中でn型半導体基板1に対して熱処理を加えることで、ゲート絶縁膜4を窒化し、窒化酸化膜4を完成させる。

【0010】次に、図72を参照して、窒化酸化膜4の上に、リンをドーピングした多結晶シリコン膜を形成し、さらに多結晶シリコン膜上にフォトリソグラフィ技術を用いて所定の形状にパターンニングされたレジスト膜を形成する。このレジスト膜を用いて多結晶シリコン膜をパターンニングし、ゲート電極5を形成する。その後、レジスト膜を除去し、このゲート電極5をマスクにして、砒素などをpウェル8に注入し、n⁻LDD層9を形成する。

【0011】次に、図73を参照して、ゲート電極5の側壁に、サイドウォール酸化膜7を形成した後、このサイドウォール酸化膜7およびゲート電極5をマスクにして、pウェル8に砒素を注入することにより、ドレイン拡散領域3aおよびソース拡散領域3bを形成する。その後、所定の熱処理を加えることにより、図69に示すMOSFETが完成する。

【0012】一方、半導体集積回路の1つとして、不揮発性半導体記憶装置がある。中でも、データを自由にプログラムすることができ、しかも電気的に書込および消去が可能なEEPROM (Electrically Erasable and Programmable Read Only Memory) が知られている。このようなEEPROMにおいて、その中に書込まれた情報を一括消去できるフラッシュEEPROMが、米国特許第4868619号公報などに開示されている。

【0013】フラッシュEEPROMにおいては、データの書込、データの消去を行なうと電子がゲート絶縁膜をトンネル現象により通過することによって、ゲート絶縁膜中に注入された電子の一部は、ゲート絶縁膜中に捕獲されたり、ゲート絶縁膜と半導体基板との界面に界面準位を生じさせたりする。その結果、フラッシュEEP

(4)

特開平9-312393

ROMのしきい値電圧が変動したり電流駆動能力が低下したりする。このような、ゲート絶縁膜の信頼性の劣化を抑制する目的においても、ゲート絶縁膜として、窒化酸化膜を用いる技術が提案されている。

【0014】以下、従来の窒化酸化膜をゲート絶縁膜として用いたフラッシュEEPROMの構造について、図74を参照して簡単に説明する。

【0015】従来のフラッシュEEPROMは、p型半導体基板101上に、ドレイン拡散領域103aとソース拡散領域103bとが所定の間隔を隔ててチャネル領域を挟むように形成されている。チャネル領域上には、ゲート絶縁膜104を介在して、電荷蓄積電極105が形成され、さらに電荷蓄積電極105の上には、電荷蓄積電極105と電氣的に分離するために、層間絶縁膜107を介在して制御電極108が形成されている。また、電荷蓄積電極105および制御電極108の側壁には、サイドウォール酸化膜110が形成されている。

【0016】次に、図75～図79を参照して、上述したフラッシュEEPROMの製造方法について簡単に説明する。

【0017】まずp型半導体基板101の表面を、熱酸化により酸化して、ゲート酸化膜104を形成する。その後、アンモニアが含まれる雰囲気中で熱処理を加えることにより、ゲート酸化膜104を窒化し窒化酸化膜104を形成する。

【0018】次に、窒化酸化膜104の上に、リンをドーピングした第1多結晶シリコン膜とこの第1多結晶シリコン膜の上に酸化膜と窒化膜の複合膜からなる層間絶縁膜を形成する。その後、この層間絶縁膜の上にリンをドーピングした第2多結晶シリコン膜を形成する。

【0019】次に、第2多結晶シリコン膜の上にフォトリソグラフィ技術を用いて所定の形状にパターンニングされたレジスト膜を形成する。その後、このレジスト膜をマスクにして、第2多結晶シリコン膜、層間絶縁膜および第1多結晶シリコン膜をエッチングし、レジスト膜を除去することにより、制御電極108、層間絶縁膜107および電荷蓄積電極105を完成させる。

【0020】次に、図77を参照して、ドレイン拡散領域となる領域を覆うようにレジスト膜109を形成し、制御電極108とレジスト膜109とをマスクにして、p型半導体基板101に砒素にイオン注入する。これによりp型半導体基板101に、ソース拡散領域103bが形成される。

【0021】次に、図78を参照して、レジスト膜109を除去し、制御電極108および電荷蓄積電極105の側壁にサイドウォール酸化膜110を形成する。その後、ソース拡散領域103bを覆うようにレジスト膜111を形成し、制御電極108とレジスト膜111とをマスクとしてp型半導体基板101に砒素をイオン注入する。これにより、p型半導体基板101にドレイン拡

散領域103aが形成される。その後、半導体基板に対して加熱処理を加えることにより、図79に示すフラッシュEEPROMが完成する。

【0022】

【発明が解決しようとする課題】しかしながら、上述したゲート絶縁膜に窒化酸化膜を用いたMOSFETの場合以下に示す問題がある。

【0023】MOSFETのホットキャリア耐性を向上させるため、窒化酸化膜を用いて、ゲート絶縁膜の窒素濃度を数atm%～10数atm%と高濃度化すると、(i) ゲート絶縁膜に窒素が入ることで、ゲート絶縁膜内にストレスが発生する(ii) ゲート絶縁膜と半導体基板との界面のラフネスが増加するなどの原因により、MOSFETのチャネル領域における界面準位の発生、キャリアトラップの発生およびキャリア移動度の低下に伴い、MOSFETの電流駆動能力が低下し、動作速度が遅くなるという問題が生じている。

【0024】また、フラッシュEEPROMにおいても、上述したMOSFETに生じる問題と同様の理由から、フラッシュEEPROMの書込時間が遅くなってしまいうという問題があった。

【0025】この発明は、上記各問題点を解決するためになされたもので、ゲート絶縁膜の所定の領域の窒素温度を高めることにより、チャネル領域におけるキャリアの移動度の低下を抑制し、信頼性の高い半導体装置およびその製造方法を提供することを目的とする。

【0026】

【課題を解決するための手段】この発明に基づいた半導体装置の1つの局面においては、第1導電型の半導体基板の主表面に所定の間隔を隔てて形成された第1導電型とは反対の導電型の第2導電型の1対の不純物領域と、この1対の不純物領域の間に形成されるチャネル領域と、このチャネル領域の上に形成された絶縁膜と、この絶縁膜の上に形成された第1電極とを備えている。さらに、絶縁膜は、その膜厚さが均一であり、1対の不純物領域に接する両端部に窒素を含む窒素含有領域を有している。

【0027】また、この発明に基づいた半導体装置の製造方法の1つの局面においては、以下の工程を備えている。

【0028】まず、第1導電型の半導体基板の主表面に絶縁膜が形成される。その後、この絶縁膜の上に第1電極が形成される。

【0029】次に、絶縁膜と第1電極とをフォトリソグラフィ技術を用いて所定の形状にパターンニングする。その後、第1電極をマスクに半導体基板に第1導電型と反対の導電型の第2導電型の不純物を導入し1対の不純物領域を形成する。

【0030】次に、窒素を含有するガスが含まれる雰囲気中で熱処理を加えることにより、絶縁膜の両端部に窒

(5)

特開平9-312393

窒素含有領域を形成する。

【0031】上述した半導体装置およびその製造方法によれば、第1電極の下部エッジ部近傍、すなわちホットキャリアが注入される領域の絶縁膜にのみ窒素を含む窒素含有領域が形成される。そのため、ホットキャリアが注入される第1電極の下部エッジ部近傍の絶縁膜と半導体基板との間の界面準位の発生が抑制されるとともに、絶縁膜の第1電極の下部エッジ部近傍のキャリアトラップを低減できるため、この半導体装置をMOSFETに用いた場合、ホットキャリア注入による絶縁膜の劣化を低減することが可能となる。

【0032】さらに、窒素含有領域は、第1電極の中央部下方領域には形成されていないため、チャネル領域におけるキャリアの移動度の低下を防止することが可能となる。その結果、高信頼で高駆動能力を有するMOSFETを提供することが可能となる。

【0033】また、上述した半導体装置における絶縁膜は、その膜厚差が均一であるため、従来技術におけるゲートバズピークの発生による電流駆動能力の低下を防止することが可能となる。さらに、上述した半導体装置をフラッシュEEPROMに用いた場合においても、フラッシュEEPROMの書込、および消去による絶縁膜の劣化を低減することができる。また、チャネル領域におけるキャリアの移動度の低下を抑制することができるため、高信頼で高駆動能力を有するフラッシュEEPROMを実現することが可能となる。また好ましくは、絶縁膜は、窒素含有領域に挟まれた領域に、窒素の不純物濃度が窒素含有領域よりも低濃度の低濃度窒素含有領域を有している。

【0034】この構造を用いることによれば、第1電極中のドーパントが絶縁膜を透過して半導体基板に拡散されることがないため、半導体装置の動作特性の安定化を図ることが可能となる。

【0035】また好ましくは、1対の不純物領域には、絶縁膜に形成された窒素含有領域から半導体基板にかけて延びるように形成された窒素不純物層が設けられている。

【0036】このように、窒素不純物層を設ける構造を、たとえばLDD構造を有する半導体装置に適用した場合、LDD領域の不純物拡散を抑制し、その結果、半導体装置の単チャネル化を防止することが可能となる。

【0037】また好ましくは、第1電極に窒素が含まれている。このように、第1電極に窒素を含むことによって、第1電極中のドーパントの拡散係数が相対的に小さくなるため、半導体基板へのドーパントの拡散を抑制させることが可能となる。

【0038】次に、この発明に基づいた半導体装置の他の局面においては、絶縁膜には1対の不純物領域に接する両端部に窒素を含む窒素含有領域と、この窒素含有領域に挟まれた領域に窒素の不純物濃度が窒素含有領域

よりも低濃度の低濃度窒素含有領域を有し、さらに、窒素含有領域よりも低濃度窒化含有領域の方が膜厚が厚く設けられている。このように、第1電極の両端部に位置する窒素含有領域の膜厚を厚く設けることで、ホットキャリアに対する耐性を向上させることが可能となる。

【0039】

【発明の実施の形態】以下、図を参照して、本実施の形態における半導体装置およびその製造方法について説明する。

【0040】（実施の形態1）本発明に基づく実施の形態1における半導体装置およびその製造方法について以下、図を参照して説明する。

【0041】図1は、本発明の実施の形態1におけるMOSFETを示す概略断面図である。

【0042】シリコン基板などからなるn型半導体基板1の上にpウェル8が形成されており、活性領域が素子分離絶縁膜6によって規定されている。pウェル8は、n⁺型ドレイン拡散領域3aと、n⁺型ソース拡散領域3bとが所定の間隔を隔ててチャネル領域を挟むように形成されている。また、n⁺型ドレイン拡散領域3aとn⁺型ソース拡散領域3bとのチャネル領域側には、それぞれn⁻型LDD層2a、2bが形成されている。

【0043】チャネル領域上には、酸化膜などからなるゲート絶縁膜4aを介在してゲート電極5が形成されている。

【0044】さらに、ゲート電極5の下部エッジ部分に接するゲート絶縁膜4d、すなわちn⁺型ドレイン拡散領域3aのn⁻型LDD層2aおよびn⁺型ソース拡散領域3bのn⁻型LDD層2bに接する領域近傍のゲート絶縁膜4aには、図2に示すゲート絶縁膜4a中の窒素濃度のプロファイルのように、窒素が含まれた窒素含有領域4dを有している。

【0045】次に、上記構造よりなる半導体装置の製造方法について、図3～図7を参照して説明する。まず図3を参照して、n型半導体基板1上に、選択酸化法により素子分離酸化膜6を形成した後に、ボロンイオンをエネルギーを変化させて多段で注入することにより、pウェル8を形成すると同時に、MOSFETのしきい値制御を行なう。

【0046】次に、図4を参照して、熱酸化によりn型半導体基板1を酸化し、膜厚40～100Åのゲート酸化膜4aを形成する。

【0047】次に、図5を参照して、リンをドーピングした多結晶シリコン膜5を形成し、多結晶シリコン膜5の上にレジスト膜を全面に塗布し、写真製版技術を用いて所定の形状にパターンニングを行なう。

【0048】次に、このレジスト膜をマスクにして、多結晶シリコン膜5およびゲート酸化膜4aのエッチングを行ない、レジストを除去することにより、ゲート電極5およびゲート絶縁膜4aを完成させる。その後、ゲート

(6)

特開平9-312393

電極5をマスクに、pウェル8に砒素をイオン注入することにより、 n^{-} 型LDD層2a、2bを形成する。

【0049】次に、図6を参照して、アンモニアが含まれる雰囲気中で、600～900℃（好ましくは800℃）の熱処理をゲート絶縁膜4aに加え、ゲート電極5の下部エッジ部分に接する領域のゲート酸化膜4aを窒化することにより、窒素含有領域4dを形成する。

【0050】次に、図7を参照して、ゲート電極4の側壁にサイドウォール酸化膜7を形成した後、ゲート電極5およびサイドウォール酸化膜7をマスクとして、pウェル8に砒素をイオン注入することにより、 n^{+} 型ドレイン領域3aおよび n^{+} 型ソース領域3bを形成し、熱処理を加えることにより、図1に示すMOSFETが完成する。

【0051】以上、本実施の形態1におけるMOSFETにおいては、ゲート電極5の下部エッジ部近傍の領域すなわちホットキャリアが注入される領域のみに、窒素含有領域4dが形成されている。

【0052】その結果、ホットキャリアが注入されるゲート電極エッジ下部近傍のゲート絶縁膜4aとn型半導体基板1との間の界面準位の発生が抑制されると同時に、ゲート絶縁膜4aのゲート電極5下部エッジ部近傍のキャリアトラップが低減できるために、MOSFETのホットキャリア注入による劣化を低減することが可能になる。

【0053】また、窒素含有領域4dは、ゲート絶縁膜4aの両端部のみに形成されているため、キャリアの移動度の低下を抑制することが可能となる。また、ゲート絶縁膜4aはその膜厚が均一であるために、従来構造で見られたゲートバズビークによる電流駆動能力の低下をなくすることが可能となる。したがって、本実施の形態1における半導体装置においては、高信頼で高駆動能力を有するMOSFETを実現させることが可能となる。

【0054】（実施の形態2）次に、本発明に基づく実施の形態2における半導体装置およびその製造方法について、以下、図を参照して説明する。

【0055】図8は、本発明の実施の形態2におけるMOSFETを示す概略断面図である。

【0056】図1に示す実施の形態1におけるMOSFETの構造と本実施の形態2におけるMOSFETの構造とを比較した場合、ゲート絶縁膜の窒素含有領域4dで挟まれた領域にも、図9のゲート絶縁膜中の窒素濃度のプロファイルに示すように、窒素含有領域4dよりも窒素の不純物濃度が低濃度である低濃度窒素含有領域4bが設けられている。その他の構造については、実施の形態1におけるMOSFETの構造と同一であり、同一の箇所には同一の符号を付している。

【0057】次に、図10～図14を参照して、本発明の実施の形態2におけるMOSFETの製造方法について説明する。

【0058】まずn型半導体基板1上に、選択酸化法により素子分離酸化膜6を形成した後に、ボロンをエネルギーを変化させて多段階に注入することによりpウェル8を形成すると同時に、MOSFETのしきい値制御を行なう。

【0059】次に、図11を参照して、熱酸化によりn型半導体基板1の表面を酸化することにより、ゲート酸化膜を形成し、さらにアンモニア雰囲気中で600～900℃の熱処理を加えることで、ゲート酸化膜を窒化し、窒化酸化膜4Bを形成する。

【0060】次に、図12を参照して、リンをドーピングした多結晶シリコン膜を窒化酸化膜4Bの上に成膜し、この多結晶シリコン膜の上にフォトリソグラフィ技術を用いて所定の形状にパターニングされたレジスト膜を形成する。その後、このレジスト膜をマスクにして、多結晶シリコン膜および窒化酸化膜4Bをエッチングし、レジスト膜を除去することにより、ゲート電極5および窒化酸化膜4bを完成させる。

【0061】次に、ゲート電極5をマスクにして、pウェル8に砒素をイオン注入することにより、 n^{-} 型LDD層2a、2bを形成する。

【0062】次に、図13を参照して、窒素酸化膜4bに対して、アンモニアが含まれる雰囲気中で600～900℃の熱処理を加え、ゲート電極5の下部エッジ部分に接する領域の窒化酸化膜4bを窒化することにより、窒素酸化膜4bのゲート電極5の下部エッジ部分近傍に窒素濃度が中央領域よりも高濃度である窒化含有領域4dを形成する。

【0063】次に、図14を参照して、ゲート電極5の側壁にサイドウォール酸化膜7を形成した後、ゲート電極5およびサイドウォール酸化膜7をマスクにして、pウェル8に砒素をイオン注入することにより、 n^{+} 型ドレイン拡散領域3aおよび n^{+} 型ソース拡散領域3bを形成し、その後熱処理を加えることにより、MOSFETが完成する。

【0064】なお、上記工程において、n型半導体基板1を酸化することによりゲート酸化膜を形成し、アンモニア雰囲気中で600～900℃の熱処理を加えることにより、ゲート酸化膜を窒化し窒化酸化膜4Bを形成するようにしたが、ゲート酸化膜を一酸化窒素雰囲気中で約900℃の熱処理、あるいは、二酸化窒素雰囲気中で約1000℃の熱処理を加えることによって、ゲート酸化膜を窒化し窒化酸化膜4Bを形成してもよい。また、約900℃の一酸化窒素雰囲気中、あるいは約1000℃の二酸化窒素雰囲気中で直接n型半導体基板1を酸窒化し窒化酸化膜4Bを形成するようにしてもかまわない。

【0065】以上、本実施の形態2における半導体装置においては、ゲート絶縁膜のゲート電極の下部エッジ部

(7)

特開平9-312393

近傍すなわちホットキャリアが注入される領域に窒素が多く含有している窒素含有領域を有している。その結果、ホットキャリアが注入されるゲート電極5下部エッジ部近傍のゲート絶縁膜とn型半導体基板との間の界面準位の発生が抑制されると同時に、ゲート絶縁膜のゲート電極下部エッジ部近傍のキャリアトラップが低減できるために、MOSFETのホットキャリア注入による劣化を効果的に低減することができる。

【0066】さらに、ゲート絶縁膜は、窒化酸化膜であるために、ゲート絶縁膜の破壊に至るまでの注入電荷量を増加することができ、その結果、ゲート電極中のドーパントのシリコン基板への拡散を抑制することができる。また、ゲート絶縁膜の両端部においてのみ窒素を高濃度に含有する窒素含有領域を設けるようにしているため、ゲート電極を窒化することによりキャリアの移動度の低下を抑制することができる。その結果、高信頼で高駆動能力を有するMOSFETを実現することが可能となる。

【0067】(実施の形態3)次に、本発明に基づく実施の形態3における半導体装置およびその製造方法について以下図を参照して説明する。

【0068】図15は、本発明の実施の形態3におけるMOSFETを示す概略断面図である。

【0069】図8に示す実施の形態2におけるMOSFETの構造と本実施の形態3におけるMOSFETの構造とを比較した場合、ゲート絶縁膜の窒素含有領域4dが低濃度窒素含有領域4dよりも膜厚が厚くなる窒素含有領域4eが形成されている。その他の構造については、実施の形態2におけるMOSFETと同一の構造であり、実施の形態2と同一の箇所には同一の符号を付している。

【0070】次に、図16～図20を参照して、本実施の形態3におけるMOSFETの製造方法について説明する。

【0071】まず図16を参照して、n型半導体基板1上に、選択酸化法により素子分離酸化膜6を形成した後、ボロンイオンをエネルギーを変化させて多段で注入することにより、pウェル8を形成すると同時にMOSFETのしきい値制御を行なう。

【0072】次に、図17を参照して、n型半導体基板1の表面を熱酸化により酸化することで、ゲート酸化膜を形成し、アンモニア雰囲気中で600～900℃の熱処理を加えることによりゲート酸化膜を窒化し窒化酸化膜4Bを形成する。

【0073】次に、リンをドーピングした多結晶シリコン膜を窒化酸化膜4Bの上に形成し、さらに多結晶シリコン膜の上に、フォトリソグラフィ技術を用いて所定の形状を有するレジスト膜を形成する。

【0074】その後、このレジスト膜をマスクにして、多結晶シリコン膜および窒化酸化膜4Bとをエッチング

し、レジスト膜を除去することにより、ゲート電極5および窒化酸化膜4bとを完成させる。

【0075】次に、図19を参照して、窒化酸化膜4bに対して二酸化窒素が含まれる雰囲気中で約1000℃の熱処理を加え、ゲート電極5の下部エッジ部分に接する領域の窒化酸化膜4bを窒化することにより、ゲート電極5の下部エッジ部近傍が高濃度に窒化された窒素含有領域4eを形成する。このとき、二酸化窒素中の酸素により、ゲート電極5の一部、およびn型半導体基板1の一部も同時に酸化され、低濃度窒素含有領域4bよりも窒化含有領域4eの方が膜厚が厚くなる。

【0076】次に、ゲート電極5をマスクにして、pウェル8に砒素をイオン注入することにより、n⁻型LDD層2a、2bを形成する。次に、図20を参照して、ゲート電極5の側壁にサイドウォール酸化膜7を形成した後、ゲート電極5およびサイドウォール酸化膜7をマスクにして、pウェル8に砒素をイオン注入することにより、n⁺型ドレイン拡散領域3aおよびn⁺型ソース拡散領域3bを形成し、熱処理を加えることにより、MOSFETが完成する。

【0077】以上の説明において、ゲート酸化膜のゲート電極下部エッジ部近傍の酸窒化には、二酸化窒素を用いたが、一酸化窒素が含まれる雰囲気中で約900℃の熱処理を加えるかまたは、一酸化窒素、二酸化窒素、アンモニアのうち少なくとも2種類のガスが含まれる雰囲気中で熱処理を加えることによっても、同様の構造が得られることは明らかである。

【0078】以上、本実施の形態3におけるMOSFETにおいては、ゲート絶縁膜のゲート電極のエッジ下部近傍、すなわちホットキャリアが注入される領域に窒素が多く含有している窒素含有領域が形成されている。その結果、ホットキャリアが注入されるゲート電極下部エッジ部近傍のゲート絶縁膜とn型半導体基板との間の界面準位の発生が抑制されると同時に、ゲート絶縁膜のゲート電極下部エッジ部近傍のキャリアトラップが低減できるために、MOSFETのホットキャリア注入による劣化を低減することができる。

【0079】さらに、ゲート絶縁膜は窒化酸化膜で形成されているため、ゲート絶縁膜の破壊に至るまでの注入電荷量を増加することができ、さらに、ゲート電極中のドーパントのn型半導体基板への拡散を抑制することができる。

【0080】また、窒素を高濃度に含有している窒素含有領域は、ゲート絶縁膜の両端部にのみ形成されているために、ゲート絶縁膜を窒化することによるキャリアの移動度の低下を抑制することができる。

【0081】さらに、ゲート電極の下部エッジ部のゲート酸化膜は、酸窒化により酸化されているために、酸素が導入され、ゲート電極のエッチングにより生じるゲート電極の損傷を回復することができる。したがって、高

(8)

特開平9-312393

信頼で高駆動能力を有するMOSFETを実現させることが可能となる。

【0082】なお、上記説明においては、 n^- 型LDD層を形成した後に、ゲート酸化膜の窒素化を行なっているが、 n^- 型LDD層形成の前に、窒素化処理を行ない、窒素化処理の熱処理による n^- 型LDD層の拡散を抑制してもかまわない。

【0083】(実施の形態4)以下、本発明に基づく実施の形態4におけるMOSFETおよびその製造方法について図を参照して説明する。

【0084】図21は、本発明の実施の形態4におけるMOSFETを示す概略断面図である。

【0085】図1に示す実施の形態1におけるMOSFETの構造と本実施の形態4におけるMOSFETとの構造を比較した場合、ゲート絶縁膜4aの両端に、窒素含有領域4fが形成され、さらに、 n^- 型LDD層2a、2bに向かって、窒素含有領域4fから延びるように窒素不純物層4hが形成されている。その他の構造は、実施の形態1におけるMOSFETと同一の構造であり、同一の箇所には同一の符号を付している。

【0086】次に、図22～図26を参照して、本実施の形態4におけるMOSFETの製造方法について説明する。

【0087】まず図22を参照して、 n 型半導体基板1上に、選択酸化法により素子分離酸化膜6を形成した後に、ボロンイオンをエネルギーを変化させて多段で注入することによりpウェル8を形成すると同時にMOSFETのしきい値制御を行なう。

【0088】次に、図23を参照して、 n 型半導体基板1の表面を熱酸化により酸化し、ゲート酸化膜4Aを形成する。

【0089】次に、図24を参照して、リンをドーピングした多結晶シリコン膜をゲート酸化膜4Aの上に成膜し、その後、フォトリソグラフィ技術を用いて所定の形状にパターニングされたレジスト膜20を形成する。

【0090】次に、このレジスト膜20をマスクにして、多結晶シリコン膜およびゲート酸化膜4Aをエッチングし、ゲート電極5およびゲート酸化膜4Aを完成させる。

【0091】次に、レジスト膜20を残存させたまま、 n 型半導体基板1の垂線に対して30～45°傾けた位置から、 n 型半導体基板1を回転させながら窒素イオンを注入することにより、ゲート電極5の側壁、ゲート絶縁膜4aの側壁および n 型半導体基板1のゲート電極5の下部エッジ近傍に窒素を導入し、窒素導入領域4gを形成する。このときの窒素イオンの注入量は、 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ g m}^{-2}$ 、注入エネルギー5～20keVであり、形成される窒素導入領域4gの不純物濃度は、 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度となり、 n 型半導体基板1の表面から、約50～200Åの深さまで窒

素導入領域4gが形成される。

【0092】次に、レジスト膜20を除去した後、ゲート電極5をマスクにして、pウェル8に砒素をイオン注入することにより、 n^- 型LDD層2a、2bを形成する。

【0093】次に、図26を参照して、ゲート電極5の側壁部に、サイドウォール酸化膜7を形成した後、ゲート電極5およびサイドウォール酸化膜7をマスクにして、pウェル8に砒素をイオン注入することにより、 n^+ 型ドレイン拡散領域3aおよび n^+ 型ソース拡散領域3bを形成する。

【0094】その後、熱処理を加えることにより、MOSFETが完成する。このとき、この熱処理により、ゲート電極5の側壁部および n 型半導体基板1に注入された窒素が、ゲート電極4aの両端部に析出し、ゲート電極4aの両端部に窒素含有領域4fが形成される。

【0095】以上、この実施の形態4におけるMOSFETにおいては、ゲート電極の下部エッジ部近傍すなわちホットキャリアが注入される領域のみに窒素含有領域が形成されている。その結果、ホットキャリアが注入されるゲート電極エッジ部近傍のゲート絶縁膜と n 型半導体基板との間の界面準位の発生が抑制されるとともに、ゲート絶縁膜のゲート電極下部エッジ部近傍のキャリアトラップが低減できるために、MOSFETのホットキャリア注入による劣化を低減することができる。

【0096】さらに、窒素含有領域は、ゲート絶縁膜の両端部のみに形成されているため、ゲート絶縁膜を窒素することによるキャリアの移動度の低下を抑制することができる。また、ゲート絶縁膜の窒素は、イオン注入とソース/ドレイン拡散領域の活性化のための熱処理により行なわれているために、イオン注入工程を1工程加えるだけの簡単なプロセスを用いることにより、本実施の形態におけるMOSFETの構造を実現させることが可能となる。その結果、高信頼で高駆動能力を有するMOSFETを容易に実現させることが可能となる。

【0097】(実施の形態5)次に、本発明に基づく実施の形態5における半導体装置およびその製造方法について、以下図を参照して説明する。

【0098】図27は、本発明の実施の形態5におけるMOSFETを示す概略断面図である。

【0099】上述した図21に示す実施の形態4におけるMOSFETの構造と本実施の形態5におけるMOSFETの構造とを比較した場合、本実施の形態5におけるMOSFETは、ゲート絶縁膜の窒素含有領域4fに挟まれた領域にも、窒素の不純物濃度が、窒素含有領域4fよりも低濃度である低濃度窒素含有領域4bが設けられ、さらにゲート電極5bにも、窒素が含まれている。

【0100】その他の構造については、実施の形態4におけるMOSFETと同一であり、同一の箇所には同一

(9)

特開平9-312393

の符号を付している。

【0101】次に、本発明の実施の形態5におけるMOSFETの製造方法について図28～図32を参照して説明する。

【0102】まず、図28を参照して、n型半導体基板1上に、選択酸化法により素子分離酸化膜6を形成した後に、ボロンイオンをエネルギーを変化させて多段注入することにより、pウェル8を形成すると同時にMOSFETのしきい値制御を行なう。

【0103】次に、図29を参照して、n型半導体基板1の表面を熱酸化により酸化することで、ゲート酸化膜を形成し、その後、リンをドーピングした多結晶シリコン膜を形成する。その後、この多結晶シリコン膜の上層部に窒素をイオン注入により導入し、上層部に窒素を含んだ多結晶シリコン層5Bを完成させる。

【0104】次に、図30を参照して、多結晶シリコン膜5Bの上に、フォトリソグラフィ技術を用いて所定の形状にパターニングされたレジスト膜21を形成し、このレジスト膜21をマスクにして、多結晶シリコン膜5Bおよびゲート酸化膜4Aをパターニングし、ゲート電極5bおよびゲート電極4aを完成させる。

【0105】その後、レジスト膜21を残存させたまま、n型半導体基板1に対して30°～45°傾いた位置からn型半導体基板1を回転させた状態で窒素イオンを注入し、ゲート電極5bの側壁部およびn型半導体基板1のゲート電極5bの下部エッジ部近傍に窒素を導入し、窒素導入領域4gを形成する。

【0106】次に、図31を参照して、ゲート電極5bをマスクにして、pウェル8に砒素をイオン注入し、n型LDD層2a、2bを形成する。次に、図32を参照して、ゲート電極5bの側壁にサイドウォール酸化膜7を形成した後、ゲート電極5bおよびサイドウォール酸化膜7をマスクにして、pウェル8に砒素をイオン注入することにより、n⁺型ドレイン拡散領域3aおよびn⁺型ソース拡散領域3bを形成して、その後熱処理を加えることにより、本実施の形態5におけるNMOSTランジスタFETが完成する。

【0107】この熱処理により、ゲート電極5b中およびn型半導体基板1中の窒素がゲート酸化膜4aに析出し、ゲート電極の両端部に窒素濃度が高い窒素含有領域4fが形成され、窒素含有領域4fによって挟まれる領域には、窒素含有領域4fよりも窒素の濃度が低濃度である低濃度窒素含有領域4bが形成される。

【0108】以上、この実施の形態5におけるMOSFETにおいては、ゲート電極のエッジ下部近傍すなわちホットキャリアが注入される領域に窒素が多く含有している窒素含有領域が形成される。その結果、ホットキャリアが注入されるゲート電極下部エッジ部近傍のゲート絶縁膜とn型半導体基板との間の界面準位の発生が抑制されると同時に、ゲート絶縁膜のゲート電極下部エッジ

部近傍のキャリアトラップが低減できるため、MOSFETのホットキャリア注入による劣化を効果的に低減することができる。

【0109】さらに、ゲート絶縁膜は窒化酸化膜であるために、ゲート絶縁膜の破壊に至るまでの注入電荷量を増加することができ、ゲート電極中のドーパントのn型半導体基板への拡散を抑制することができる。

【0110】また、窒素を高濃度に含有している窒素含有領域は、ゲート絶縁膜の両端部のみに形成されているため、ゲート絶縁膜を窒化することによるキャリアの移動度の低下を抑制することができる。

【0111】また、ゲート絶縁膜の窒化は、イオン注入とソース/ドレイン領域の活性化のための熱処理によって行なわれるために、イオン注入工程を2工程加えるだけの簡単なプロセスで、高信頼で高駆動能力を有するMOSFETを容易に実現させることが可能となる。

【0112】(実施の形態6)次に、本発明に基づく実施の形態6における半導体装置およびその製造方法について以下図を参照して説明する。

【0113】図33は、本発明の実施の形態6におけるフラッシュEEPROMを示す概略断面図である。シリコン基板などからなるp型半導体基板101上に、n型ドレイン拡散領域103aと、n型ソース拡散領域103bとが所定の間隔を隔ててチャネル領域を挟むように形成されている。また、チャネル領域上には、ゲート絶縁膜104aを介して電荷蓄積電極105が形成されている。電荷蓄積電極105の下部エッジ部分に接するゲート絶縁膜104aには、窒素が含まれる窒素含有領域104dが形成されている。

【0114】また、電荷蓄積電極105の上には、電荷蓄積電極105から電気的に分離するように、層間絶縁膜107を介在して制御電極108が形成されている。さらに電荷蓄積電極105および制御電極108の側壁には、サイドウォール酸化膜110が形成されている。

【0115】次に、図34～図39を参照して、本発明の実施の形態6におけるフラッシュEEPROMの製造方法について説明する。まず、p型半導体基板101上に、熱酸化によりp型半導体基板101を酸化することによりゲート酸化膜104Aを形成する。

【0116】次に、図35を参照して、リンをドーピングした第1多結晶シリコン膜を形成し、この第1多結晶シリコン膜の上に酸化膜と窒化膜との複合膜からなる層間絶縁膜を形成した後、さらにこの層間絶縁膜の上に第2多結晶シリコン膜を形成する。

【0117】その後、第2多結晶シリコン膜上にフォトリソグラフィ技術を用いて所定の形状にパターニングされたレジスト膜を形成し、このレジスト膜をマスクにしてゲート酸化膜104A、第1多結晶シリコン膜、層間絶縁膜および第2多結晶シリコン膜のパターニングを行ない、ゲート絶縁膜104a、電荷蓄積電極105、層

(10)

特開平9-312393

間絶縁膜107および制御電極108を完成させる。

【0118】次に、図36を参照して、アンモニアが含まれる雰囲気中で約800℃の熱処理を加えることにより電荷蓄積電極105の下部エッジ部分に接する領域にゲート絶縁膜104aを窒化することにより、ゲート絶縁膜104aの両端部分に、窒素含有領域104dを形成する。

【0119】次に、図37を参照して、フラッシュEEPROMのドレイン拡散領域となる領域を覆うようにレジスト膜109を形成し、レジスト膜109と制御電極108とをマスクとしてp型半導体基板101に砒素をイオン注入することにより、ソース拡散領域103bを形成する。

【0120】次に、図38を参照して、レジスト膜109を除去した後、電荷蓄積電極105および制御電極108の側壁にサイドウォール酸化膜110を形成した後、n型ソース拡散領域103bを覆うようにレジスト膜111を形成する。

【0121】その後、制御電極108とレジスト膜111とをマスクとして、p型半導体基板101に砒素をイオン注入することにより、n型ドレイン領域103aを形成する。その後、図39を参照して、レジスト膜111を除去した後、熱処理を加えることにより、本実施の形態6におけるフラッシュEEPROMが完成する。

【0122】以上、本発明の実施の形態6におけるフラッシュEEPROMにおいては、ゲート絶縁膜の電荷蓄積電極の下部エッジ部近傍のゲート絶縁膜、すなわち書込、消去の際に電子がトンネルする領域のゲート絶縁膜にのみ窒素含有領域が形成されている。その結果、電子がトンネルする電荷蓄積電極のエッジ部のゲート絶縁膜と半導体基板との間の界面準位の発生が抑制されると同時に、ゲート絶縁膜中の電荷蓄積電極下部エッジ部近傍のキャリアトラップが低減できるために、フラッシュEEPROMの書込、および消去による劣化を低減することができる。

【0123】さらに、窒素含有領域は、ゲート絶縁膜の両端部のみに形成されているために、ゲート絶縁膜を窒化することによるキャリアの移動度の低下を抑制することができる。その結果、高信頼で高駆動能力を有するフラッシュEEPROMを提供することが可能となる。

【0124】（実施の形態7）次に、本発明に基づく実施の形態7における半導体装置およびその製造方法について以下図を参照して説明する。

【0125】図40は、本発明の実施の形態7におけるフラッシュEEPROMを示す概略断面図である。

【0126】図33に示す実施の形態6におけるフラッシュEEPROMの構造と、本実施の形態7におけるフラッシュEEPROMの構造とを比較した場合、ゲート絶縁膜の窒素含有領域104dで挟まれた領域にも、窒素含有領域4dよりも窒素の不純物濃度が低濃度である

低濃度窒素含有領域4bが設けられている。その他の構造は、実施の形態6におけるフラッシュEEPROMの構造と同一であり、図33に示すフラッシュEEPROMと同一の箇所には同一の符号を付している。

【0127】次に、図41～図46を参照して、本発明の実施の形態7におけるフラッシュEEPROMの製造方法について説明する。

【0128】まずp型半導体基板101の表面に、熱酸化により酸化すること、ゲート酸化膜を形成し、その後、アンモニア雰囲気中で600～900℃の熱処理を加えることにより、ゲート酸化膜を窒化し窒化酸化膜104Bを形成する。

【0129】次に、図42を参照して、この窒化酸化膜104Bの上に、リンをドーピングした第1多結晶シリコン膜を形成し、さらにこの多結晶シリコン膜の上に酸化膜と窒化膜の複合膜とからなる層間絶縁膜を形成する。その後、この層間絶縁膜の上に、リンをドーピングした第2多結晶シリコン膜を形成する。

【0130】その後、この第2多結晶シリコン膜の上にフォトリソグラフィ技術を用いて所定の形状にパターンニングされたレジスト膜を形成し、このレジスト膜をマスクとして、ゲート絶縁膜、第1多結晶シリコン膜、層間絶縁膜および第2多結晶シリコン膜をエッチングし、レジスト膜を除去することにより、ゲート絶縁膜104b、電荷蓄積電極105、層間絶縁膜107および制御電極108を完成させる。

【0131】次に、図43を参照して、アンモニアが含まれる雰囲気中で、600～900℃の熱処理を加えることにより電荷蓄積電極105のエッジ部分に接する領域のゲート電極104bを窒化することにより、窒素濃度が高濃度である窒素含有領域104dを形成する。

【0132】次に、図44を参照して、フラッシュEEPROMのn型ドレイン拡散領域となる領域を覆うようにレジスト膜109を形成し、制御電極108とレジスト膜109とをマスクとして、p型半導体基板101に砒素をイオン注入することにより、n型ソース拡散領域103bを形成する。

【0133】次に、図45を参照して、レジスト膜109を除去し、電荷蓄積電極105と制御電極108の側壁にサイドウォール酸化膜110を形成した後、n型ソース拡散領域103bを覆うようにレジスト膜111を形成し、制御電極108とレジスト膜111とをマスクとして、p型半導体基板101に砒素をイオン注入することにより、n型ドレイン拡散領域103aを形成する。その後、図46に示すように、レジスト膜111を除去した後、熱処理を加えることで、本実施の形態6におけるフラッシュEEPROMが完成する。

【0134】なお、上記説明においては、p型半導体基板101を酸化することによりゲート酸化膜を形成し、アンモニア雰囲気中で600～900℃の熱処理を加え

(11)

特開平9-312393

ることによりゲート酸化膜を窒化し窒化酸化膜を形成したが、ゲート酸化膜に一酸化窒素雰囲気中で約900℃の熱処理、あるいは、二酸化窒素雰囲気中で約1000℃の熱処理を加えることによって、ゲート酸化膜を窒化し窒化酸化膜を形成してもかまわない。また、900℃の一酸化窒素雰囲気中あるいは1000℃の二酸化窒素雰囲気中で直接p型半導体基板101を酸窒化し、窒化酸化膜104を形成するようにしてもかまわない。

【0135】以上、本発明の実施の形態7における半導体装置においては、電荷蓄積電極の下部エッジ部近傍のゲート絶縁膜すなわち書込、消去の際に電子がトンネルする領域に窒素が多く含有している窒化酸化膜が形成されている。

【0136】その結果、電子がトンネルする電荷蓄積電極の下部エッジ部近傍のゲート絶縁膜とp型半導体基板との間の界面準位の発生が抑制されると同時に、ゲート絶縁膜中の電荷蓄積電極下部エッジ部近傍のキャリアトラップが低減できるために、フラッシュEEPROMの書込、および消去による劣化を低減することができる。さらに、ゲート絶縁膜は窒化酸化膜であるため、ゲート絶縁膜の破壊に至るまでの注入電荷量を増加することができ、電荷蓄積電極中のドーパントの半導体基板への拡散を抑制することができる。

【0137】また、窒素を高濃度に含有している窒素含有領域は、ゲート絶縁膜の両端部のみに形成されているため、ゲート絶縁膜を窒化することによるキャリアの移動度の低下を抑制することができる。その結果、高信頼で高駆動能力を有するフラッシュEEPROMを提供することが可能となる。

【0138】(実施の形態8)次に、本発明に基づく実施の形態8における半導体装置およびその製造方法について以下図を参照して説明する。

【0139】図47は、本発明の実施の形態8におけるフラッシュEEPROMを示す概略断面図である。

【0140】図40に示す実施の形態7におけるフラッシュEEPROMの構造と、本実施の形態8におけるフラッシュEEPROMの構造とを比較した場合、低濃度窒素不純物領域104bの両端に設けられた窒素含有領域の幅が、低濃度窒素含有領域104bよりも厚く形成されている。その他の構造は、実施の形態7におけるフラッシュEEPROMと同一の構造であり、同一の箇所には同一の符号を付している。

【0141】次に、図48～図53を参照して、本発明の実施の形態8におけるフラッシュEEPROMの製造方法について説明する。

【0142】まず、図48を参照して、p型半導体基板101の表面に、熱酸化により酸化することで、ゲート酸化膜を形成し、アンモニア雰囲気中で600℃～900℃の熱処理を加えることにより、ゲート酸化膜を窒化し窒化酸化膜104Bを形成する。

【0143】次に、リンをドーピングした第1多結晶シリコン膜を形成し、この第1多結晶シリコン膜の上に、酸化膜と窒化膜との複合膜からなる層間絶縁膜を形成する。その後、この層間絶縁膜の上に第2多結晶シリコン膜を形成する。

【0144】次に、第2多結晶シリコン膜の上に、フォトリソグラフィ技術を用いて所定の形状にパターンニングされたレジスト膜を形成し、このレジスト膜をマスクにして、窒化酸化膜104B、第1多結晶シリコン膜、層間絶縁膜および第2多結晶シリコン膜をエッチングし、その後レジスト膜を除去することにより、窒化酸化膜104b、電荷蓄積電極105、層間絶縁膜107および制御電極108が完成する。

【0145】次に、図50を参照して、二酸化窒素が含まれる雰囲気中で約1000℃の熱処理を加え、電荷蓄積電極105の下部エッジ近傍の領域の窒素絶縁膜に、窒素濃度が高濃度である窒素含有領域104eを形成する。このとき、二酸化窒素中の酸素により電荷蓄積電極105の一部、および半導体基板101の一部が酸化され電荷蓄積電極105の下部エッジ部分に接する窒素含有領域104の膜厚は、低濃度窒素含有領域104bよりもその膜厚が厚くなる。

【0146】次に、図51を参照して、フラッシュEEPROMのn型ドレイン拡散領域となる領域を覆うようにレジスト膜109を形成し、制御電極108とレジスト膜109とをマスクとして、p型半導体基板101に砒素をイオン注入することによりn型ソース拡散領域103bを形成する。

【0147】次に、図52を参照して、レジスト膜109を除去した後に、電荷蓄積電極105および制御電極108の側壁にサイドウォール酸化膜110を形成した後、n型ソース拡散領域103bを覆うようにレジスト膜111を形成し、制御電極108とレジスト膜111とをマスクとして、p型半導体基板101に砒素をイオン注入することにより、n型ドレイン拡散領域103aを形成する。その後、図53を参照して、レジスト膜111を除去した後、熱処理を加えることにより、本実施の形態におけるフラッシュEEPROMが完成する。

【0148】なお、上記説明において、ゲート酸化膜のゲート電極下部エッジ部の酸窒化には二酸化窒素をもちいたが、一酸化窒素が含まれる雰囲気中で約900℃の熱処理を加えるかあるいは、一酸化窒素、二酸化窒素、アンモニアのうち少なくとも2種類のガスが含まれる雰囲気中で熱処理を加えることによっても、同様の構造を得ることができる。

【0149】以上、本発明の実施の形態8におけるフラッシュEEPROMでは、電荷蓄積電極の下部エッジ部近傍のゲート絶縁膜、すなわち書込、消去の際に電子がトンネルする領域のみに窒素含有領域が形成されている。

(12)

特開平9-312393

【0150】その結果、電子がトンネルする電荷蓄積電極の下部エッジ部のゲート絶縁膜とp型半導体基板との間の界面準位の発生が抑制されると同時に、ゲート絶縁膜中の電荷蓄積電極下部エッジ部近傍のキャリアトラップが低減できるために、フラッシュEEPROMの書込、および消去による劣化を低減することができる。

【0151】さらに、窒素含有領域は、ゲート絶縁膜の両端部のみに形成されているため、ゲート絶縁膜を窒化することによるキャリアの移動度の低下を抑制することができる。さらに、ゲート電極のエッジ部のゲート酸化膜は、酸窒化により酸化されているために酸素が導入され、電荷蓄積電極のエッチングにより導入される損傷を回復することができる。したがって、高信頼で高駆動能力を有するフラッシュEEPROMを実現することができる。

【0152】さらに、本実施の形態においては、ゲート絶縁膜として窒化酸化膜を用い、エッジ部を酸窒化することによりゲート絶縁膜の中央部よりも窒素含有領域を窒素が高濃度となるようにしているため、絶縁膜の破壊に至るまでの注入電荷量を増加することができ、電荷蓄積電極中のドーパントのシリコン基板への拡散を抑制することができる。

【0153】（実施の形態9）以下、本発明に基づく実施の形態9における半導体装置およびその製造方法について図を参照して説明する。

【0154】図54は、本発明の実施の形態9におけるフラッシュEEPROMを示す概略断面図である。

【0155】図33に示す実施の形態6におけるフラッシュEEPROMの構造と本実施の形態9におけるフラッシュEEPROMとの構造を比較した場合、ゲート絶縁膜104aの両端に形成された窒素含有領域104dからp型半導体基板101に延びるように、窒素不純物層104hが設けられている。その他の構造については、実施の形態6におけるフラッシュEEPROMと同一の構造であり、同一の箇所には同一の符号を付している。

【0156】次に、図55～図60を参照して、本発明の実施の形態9におけるフラッシュEEPROMの製造方法について説明する。

【0157】まず図55を参照して、p型半導体基板101の表面に、熱酸化により酸化することで、ゲート酸化膜104Aを形成する。

【0158】次に、図56を参照して、リンをドーピングした第1多結晶シリコン膜を形成し、この第1多結晶シリコン膜の上に酸化膜と窒化膜との複合膜からなる層間絶縁膜を形成する。その後、この層間絶縁膜の上に第2多結晶シリコン膜を形成する。

【0159】次に、第2多結晶シリコン膜の上に、フォトリソグラフィ技術を用いて所定の形状にパターニングしたレジスト膜を形成し、このレジスト膜を用いて、ゲ

ート酸化膜104A、第1多結晶シリコン膜、層間絶縁膜および第2多結晶シリコン膜をエッチングし、レジスト膜を除去することにより、ゲート絶縁膜104a、電荷蓄積電極105、層間絶縁膜107および制御電極108を完成させる。

【0160】次に、図57を参照して、レジスト膜20を残存させたまま、p型半導体基板101に対して30～40°の角度をつけて、p型半導体基板101を回転させながら窒素イオンを注入することにより、ゲート絶縁膜104aの側壁、電荷蓄積電極105の側壁、制御電極108の側壁およびp型半導体基板101の所定深さにまで窒素を導入する。

【0161】次に、図58を参照して、フラッシュEEPROMのn型ドレイン拡散領域となる領域を覆うようにレジスト膜109を形成し、制御電極108とレジスト膜109とをマスクとして、p型半導体基板101の表面に砒素をイオン注入することにより、n型ソース拡散領域103bを形成する。

【0162】次に、図59を参照して、レジスト膜109を除去した後、電荷蓄積電極105および制御電極108の側壁にサイドウォール酸化膜110を形成した後、n型ソース拡散領域103bを覆うようにレジスト膜111を形成し、制御電極108とレジスト膜111とをマスクとして、p型半導体基板101の表面にひそを砒素をイオン注入することにより、n型ドレイン拡散領域103aを形成する。

【0163】その後、図60を参照して、レジスト膜111を除去した後、熱処理を行なうことにより、本実施の形態9におけるフラッシュEEPROMが完成する。

【0164】なお、この熱処理により、電荷蓄積電極105の側壁部およびp型半導体基板101の電荷蓄積電極105の下部エッジ部の窒素が、ゲート酸化膜104aに析出し、高濃度窒素を有する高濃度窒素含有領域104fが形成される。

【0165】以上、本発明の実施の形態9におけるフラッシュEEPROMにおいては、電荷蓄積電極の下部エッジ部近傍のゲート絶縁膜、すなわち書込、消去の際に電子がトンネルする領域のみに窒素含有領域が形成されている。

【0166】その結果、電子がトンネルする電荷蓄積電極の下部エッジ部のゲート絶縁膜とp型半導体基板との間の界面準位の発生が抑制されると同時に、ゲート絶縁膜中の電荷蓄積電極下部エッジ部近傍のキャリアトラップが低減できるために、フラッシュEEPROMの書込、および消去による劣化を低減することができる。

【0167】さらに、窒素含有領域は、ゲート絶縁膜の両端部のみに形成しているため、ゲート絶縁膜を窒化することによるキャリアの移動度の低下を抑制することができる。また、ゲート絶縁膜の窒化は、イオン注入とソース／ドレインの活性化のための熱処理工程による行な

(13)

特開平9-312393

われているために、イオン注入工程を1工程加えるだけの簡単なプロセスを用いて、高信頼で高駆動能力を有するフラッシュEEPROMを提供することが可能となる。

【0168】(実施の形態10)以下、本発明に基づく実施の形態10における半導体装置およびその製造方法について図を参照して説明する。

【0169】図61は、本発明の実施の形態10におけるフラッシュEEPROMを示す概略断面図である。

【0170】図54に示す実施の形態9におけるフラッシュEEPROMの構造と本実施の形態10におけるフラッシュEEPROMとの構造を比較した場合、本実施の形態10におけるフラッシュEEPROMにおいては、ゲート絶縁膜の窒素含有領域104fに挟まれる領域においても、窒素含有領域104fにより低濃度の窒素を含む低濃度窒素含有領域104bが形成され、さらに電荷蓄積電極においても窒素が含まれた電荷蓄積電極105bが用いられている。その他の構造は、実施の形態9におけるフラッシュEEPROMと同一の構造であり、同一の箇所には同一の符号を付している。

【0171】次に、図62～図68を参照して、本発明の実施の形態10におけるフラッシュEEPROMの製造方法について説明する。

【0172】まず、図62を参照して、p型半導体基板101の表面に、熱酸化により酸化することで、ゲート酸化膜104Aを形成する。

【0173】次に、図63を参照して、ゲート酸化膜104Aの上に、リンをドーピングした第1多結晶シリコン膜を形成し、この第1多結晶シリコン膜の上層に窒素をイオン注入により導入した第1多結晶シリコン膜105Bを形成する。

【0174】その後、図64を参照して、第1多結晶シリコン膜105Bの上に、酸化膜と窒化膜との複合膜からなる層間絶縁膜を形成した後、この層間絶縁膜の上に第2多結晶シリコン膜を形成する。

【0175】次に、この第2多結晶シリコン膜の上に、フォトリソグラフィ技術を用いて所定の形状にパターンニングされたレジスト膜21を形成し、このレジスト膜21をマスクにし、ゲート酸化膜104A、第1多結晶シリコン膜105B、層間絶縁膜および第2多結晶シリコン膜のパターンニングを行ない、ゲート絶縁膜104a、電荷蓄積電極105b、層間絶縁膜107および制御電極108を完成させる。

【0176】次に、図65を参照して、レジスト膜21を残存させたまま、半導体基板101に対して30～40°の角度をつけて、p型半導体基板101を回転させながら窒素イオンを注入し、ゲート絶縁膜104aの側壁、電荷蓄積電極105bの側壁、電荷蓄積電極108の側壁およびp型半導体基板101の所定の深さにまで達する窒素導入領域104gを形成する。

【0177】次に、図66を参照して、フラッシュEEPROMのn型ドレイン拡散領域となる領域を覆うようにレジスト膜109を形成し、制御電極108とレジスト膜109とをマスクとして、p型半導体基板101に砒素をイオン注入することにより、n型ソース拡散領域103bを形成する。

【0178】次に、図67を参照して、レジスト膜109を除去した後、電荷蓄積電極105bおよび制御電極108の側壁にサイドウォール酸化膜110を形成した後、n型ソース拡散領域103bを覆うようにレジスト膜111を形成し、制御電極108とレジスト膜111とをマスクとして、p型半導体基板101に砒素をイオン注入することにより、n型ドレイン拡散領域103aを形成する。

【0179】その後、図68に示すようにレジスト膜111を除去した後、熱処理を加えることにより、本実施の形態10におけるフラッシュEEPROMが完成する。

【0180】なお、この熱処理により、電荷蓄積電極105b中およびp型半導体基板101の電荷蓄積電極105の下部エッジ部の窒素がゲート酸化膜に析出する。これにより、ゲート酸化膜の中央部に低濃度窒素含有領域104bが形成され、ゲート酸化膜の両端部には、低濃度窒素含有領域104bよりも窒素の濃度が高濃度である窒素含有領域104fが形成されることになる。

【0181】以上、本発明の実施の形態10における半導体装置では、電荷蓄積電極の下部エッジ近傍のゲート絶縁膜、すなわち書込、消去の際に電子がトンネルする領域に窒素が多く含有している窒素含有領域が形成されている。その結果、電子がトンネルする電荷蓄積電極下部エッジのゲート絶縁膜と半導体基板との間の界面準位の発生が抑制されると同時に、ゲート絶縁膜中の電荷蓄積電極下部エッジ近傍のキャリアトラップが低減できるために、フラッシュEEPROMの書込、および消去による劣化を低減することができる。

【0182】また窒素含有領域は、ゲート絶縁膜の両端部のみに形成されているために、ゲート絶縁膜を窒化することによるキャリアの移動度の低下を抑制することができる。また、ゲート絶縁膜の窒化は、イオン注入とソース/ドレインの活性化のための熱処理により行なわれているために、イオン注入工程を2工程加えるだけの簡単なプロセスで高信頼で高駆動能力を有するフラッシュEEPROMを簡単に実現させることが可能となる。

【0183】なお、上述した実施の形態1～実施の形態5においては、nチャネル型MOSFETの製造方法について述べたが、ドーピング種の導電型を変えることにより、pチャネル型MOSFETを形成することも可能である。また、選択的にドーピングを行なうことにより、CMOS構造に適用することも可能である。

【0184】以上、今回開示した実施の形態はすべての

(14)

特開平9-312393

点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等のおよび範囲内でのすべての変更が含まれることが意図される。

【0185】

【発明の効果】この発明に基づいた半導体装置およびその製造方法の1つの局面によれば、第1電極の下部エッジ部近傍、すなわちホットキャリアが注入される領域の絶縁膜にのみ窒素を含む窒素含有領域が形成される。そのため、ホットキャリアが注入される第1電極の下部エッジ部近傍の絶縁膜と半導体基板との間の界面準位の発生が抑制されるとともに、絶縁膜の第1電極の下部エッジ部近傍のキャリアトラップを低減できるため、この半導体装置をMOSFETに用いた場合、ホットキャリア注入による絶縁膜の劣化を低減することが可能となる。

【0186】さらに、窒素含有領域は、第1電極の中央部下方領域には形成されていないため、チャネル領域におけるキャリアの移動度の低下を防止することが可能となる。その結果、高信頼で高駆動能力を有するMOSFETを提供することが可能となる。

【0187】また、上述した半導体装置における絶縁膜は、その膜厚差が均一であるため、従来技術におけるゲートバズビークの発生による電流駆動能力の低下を防止することが可能となる。さらに、上述した半導体装置をフラッシュEEPROMに用いた場合においても、フラッシュEEPROMの書込、および消去による絶縁膜の劣化を低減することができる。また、チャネル領域におけるキャリアの移動度の低下を抑制することができるため、高信頼で高駆動能力を有するフラッシュEEPROMを実現することが可能となる。また好ましくは、絶縁膜は、窒素含有領域に挟まれた領域に、窒素の不純物濃度が窒素含有領域よりも低濃度の低濃度窒素含有領域を有している。

【0188】この構造を用いることによれば、第1電極中のドーパントが絶縁膜を透過して半導体基板に拡散されることがないため、半導体装置の動作特性の安定化を図ることが可能となる。

【0189】また好ましくは、1対の不純物領域には、絶縁膜に形成された窒素含有領域から半導体基板にかけて延びるように形成された窒素不純物層が設けられている。このように、窒素不純物層を設ける構造を、たとえばLD領域の不純物拡散を抑制し、その結果、半導体装置の単チャネル化を防止することが可能となる。

【0190】また好ましくは、第1電極に窒素が含まれている。このように、第1電極に窒素を含むことによって、第1電極中のドーパントの拡散係数が相対的に小さくなるため、半導体基板へのドーパントの拡散を抑制させることが可能となる。

【0191】次に、この発明に基づいた半導体装置およびその製造方法の他の局面においては、絶縁膜には1対の不純物領域に接する両端部に窒素を含む窒素含有領域と、この窒素含有領域に挟まれた領域に窒素の不純物濃度が窒素含有領域よりも低濃度の低濃度窒素含有領域を有し、さらに、窒素含有領域よりも低濃度窒化含有領域の方が膜厚が厚く設けられている。このように、第1電極の両端部に位置する窒素含有領域の膜厚を厚く設けることで、ホットキャリアに対する耐性を向上させることが可能となる。

【図面の簡単な説明】

【図1】 実施の形態1における半導体装置の構造を示す断面図である。

【図2】 ゲート絶縁膜中の窒素濃度を示す図である。

【図3】 実施の形態1における半導体装置の製造方法を示す第1工程断面図である。

【図4】 実施の形態1における半導体装置の製造方法を示す第2工程断面図である。

【図5】 実施の形態1における半導体装置の製造方法を示す第3工程断面図である。

【図6】 実施の形態1における半導体装置の製造方法を示す第4工程断面図である。

【図7】 実施の形態1における半導体装置の製造方法を示す第5工程断面図である。

【図8】 実施の形態2における半導体装置の構造を示す断面図である。

【図9】 ゲート絶縁膜中の窒素濃度を示す図である。

【図10】 実施の形態2における半導体装置の製造方法を示す第1工程断面図である。

【図11】 実施の形態2における半導体装置の製造方法を示す第2工程断面図である。

【図12】 実施の形態2における半導体装置の製造方法を示す第3工程断面図である。

【図13】 実施の形態2における半導体装置の製造方法を示す第4工程断面図である。

【図14】 実施の形態2における半導体装置の製造方法を示す第5工程断面図である。

【図15】 実施の形態3における半導体装置の構造を示す断面図である。

【図16】 実施の形態3における半導体装置の製造方法を示す第1工程断面図である。

【図17】 実施の形態3における半導体装置の製造方法を示す第2工程断面図である。

【図18】 実施の形態3における半導体装置の製造方法を示す第3工程断面図である。

【図19】 実施の形態3における半導体装置の製造方法を示す第4工程断面図である。

【図20】 実施の形態3における半導体装置の製造方法を示す第5工程断面図である。

【図21】 実施の形態4における半導体装置の構造を

(16)

特開平9-312393

を示す第2工程断面図である。

【図72】 従来技術におけるMOSFETの製造方法を示す第3工程断面図である。

【図73】 従来技術におけるMOSFETの製造方法を示す第4工程断面図である。

【図74】 従来技術におけるフラッシュEEPROMの構造を示す断面図である。

【図75】 従来技術におけるフラッシュEEPROMの製造方法を示す第1工程断面図である。

【図76】 従来技術におけるフラッシュEEPROMの製造方法を示す第2工程断面図である。

【図77】 従来技術におけるフラッシュEEPROMの製造方法を示す第3工程断面図である。

【図78】 従来技術におけるフラッシュEEPROM

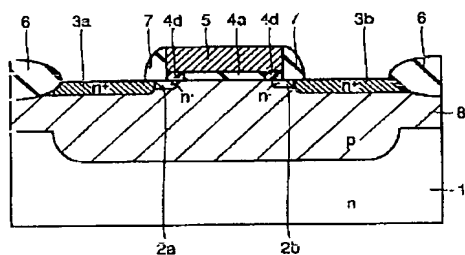
の製造方法を示す第4工程断面図である。

【図79】 従来技術におけるフラッシュEEPROMの製造方法を示す第5工程断面図である。

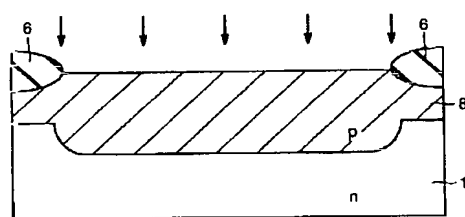
【符号の説明】

1 n型半導体基板、2a、2b n⁻型LDD層、3a n⁺型ドレイン拡散領域、3b n⁺型ソース拡散領域、4a ゲート酸化膜、4d 窒素含有領域、5 ゲート電極、6 素子分離領域、7 サイドウォール酸化膜、101 p型半導体基板、103a n型ドレイン拡散領域、103b n型ソース拡散領域、104a ゲート酸化膜、104d 窒素含有領域、105 電荷蓄積電極、107 層間絶縁膜、108 制御電極、110 サイドウォール酸化膜。

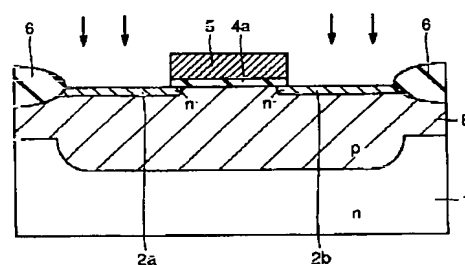
【図1】



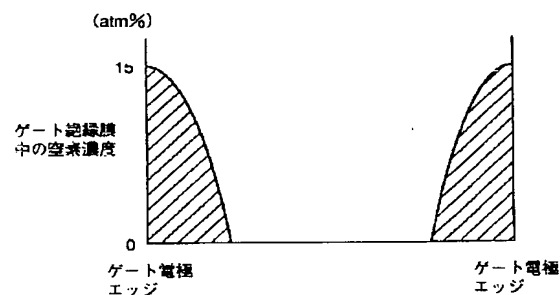
【図3】



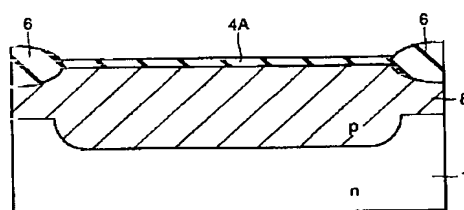
【図5】



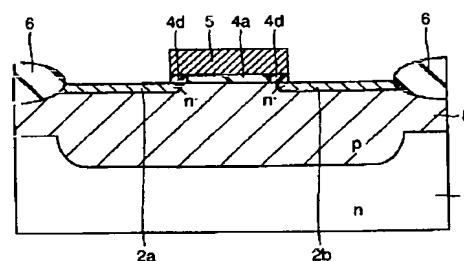
【図2】



【図4】



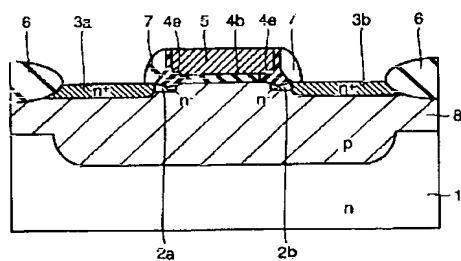
【図6】



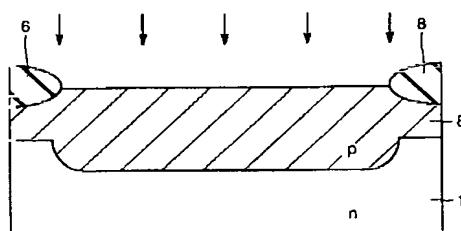
(18)

特開平9-312393

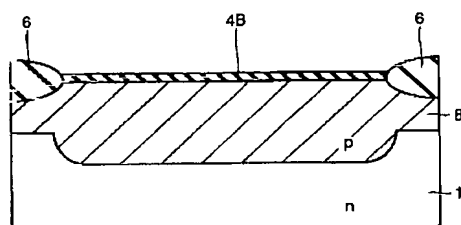
【図15】



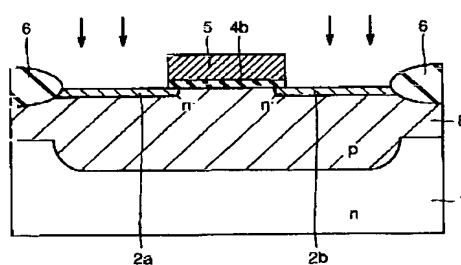
【図16】



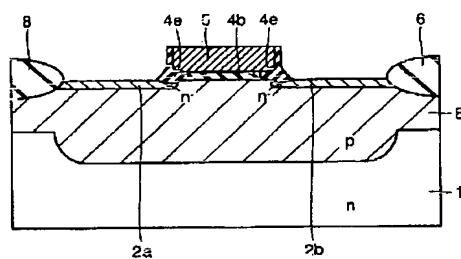
【図17】



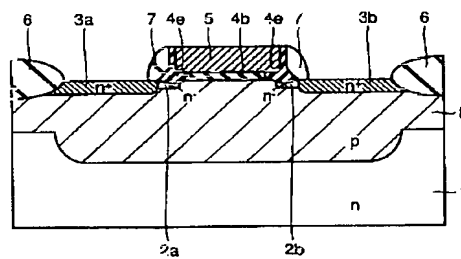
【図18】



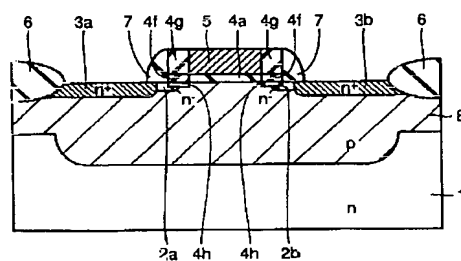
【図19】



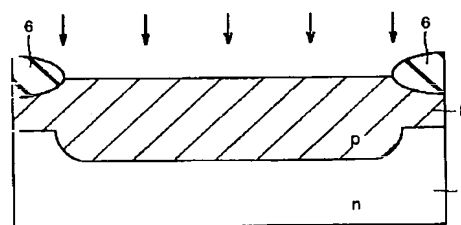
【図20】



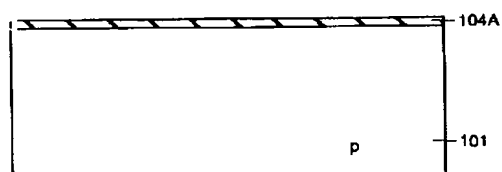
【図21】



【図22】



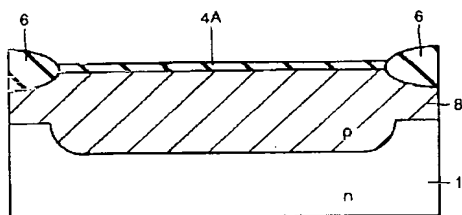
【図34】



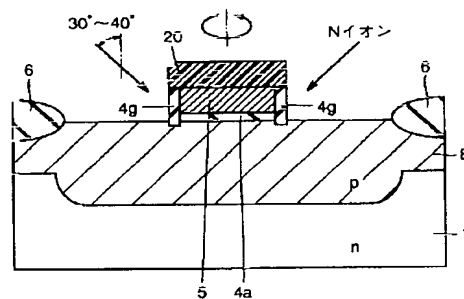
(1 9)

特開平9-312393

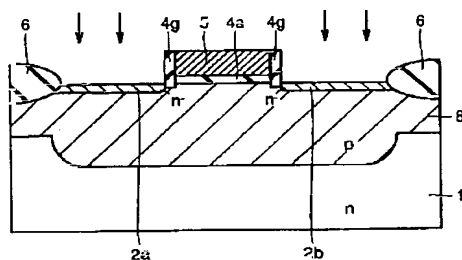
【圖23】



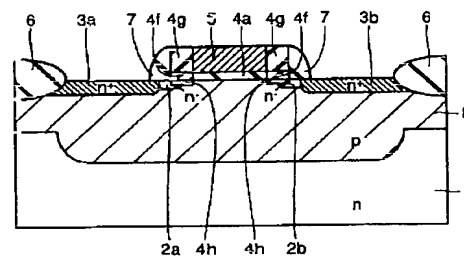
【図24】



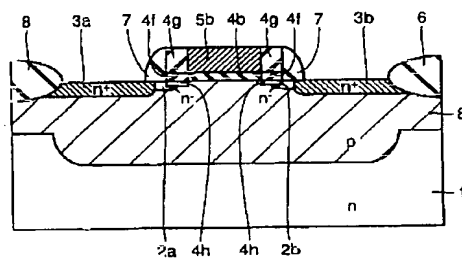
【図25】



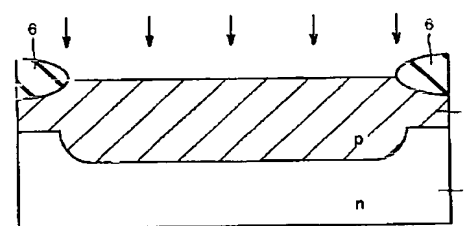
【図26】



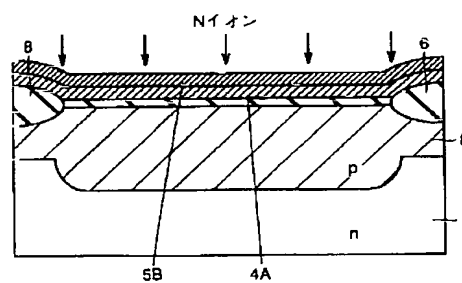
【图27】



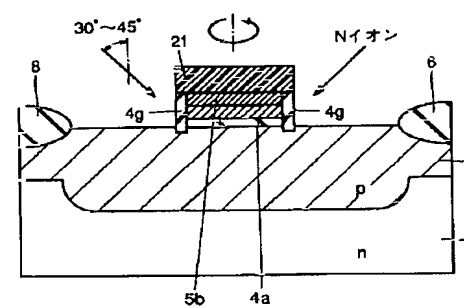
【図28】



【图29】



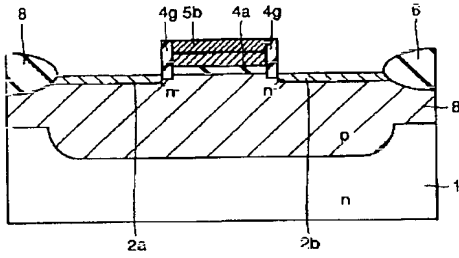
【図30】



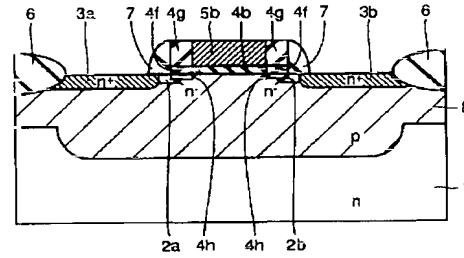
(20)

特開平9-312393

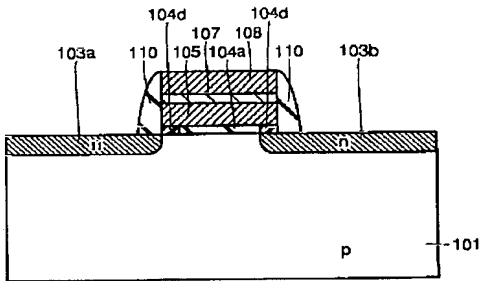
【図31】



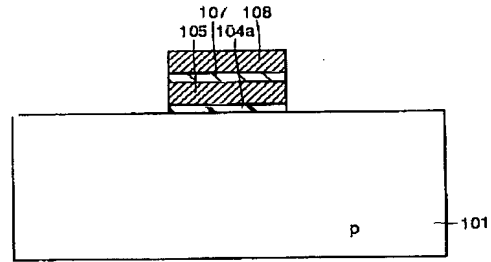
【図32】



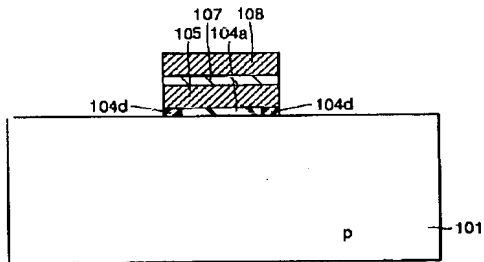
【図33】



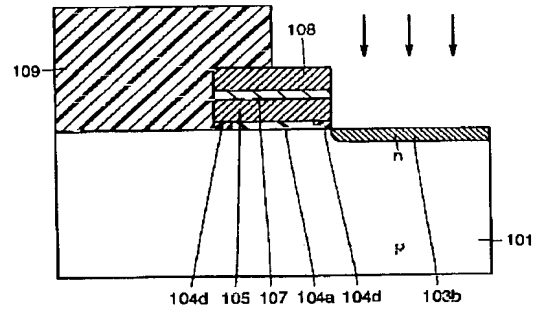
【図35】



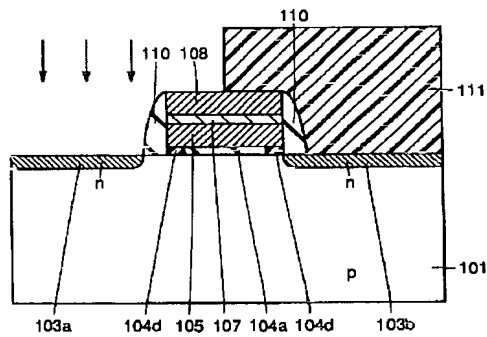
【図36】



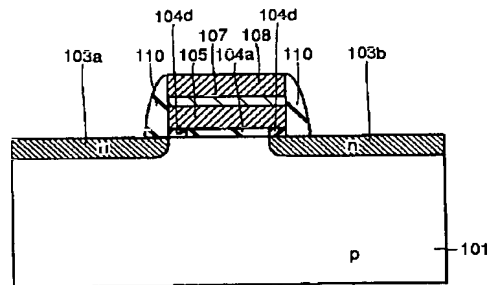
【図37】



【図38】



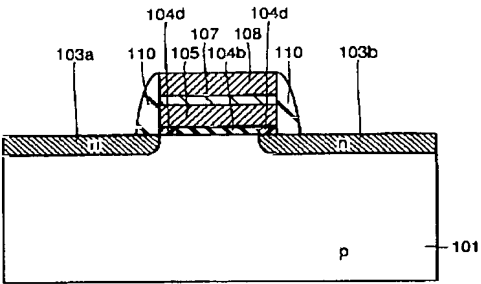
【図39】



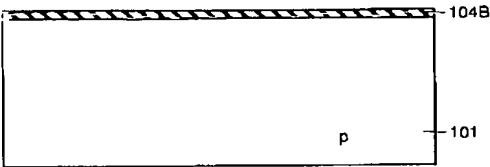
(2 1)

特開平9-312393

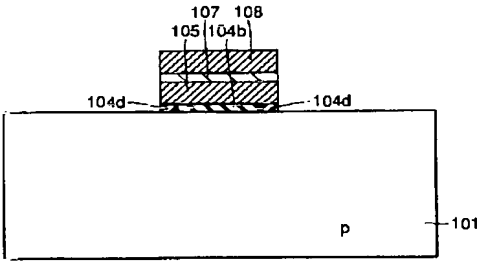
【図40】



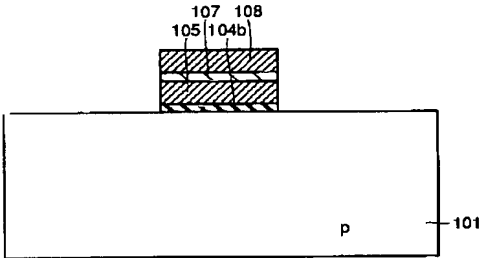
【図41】



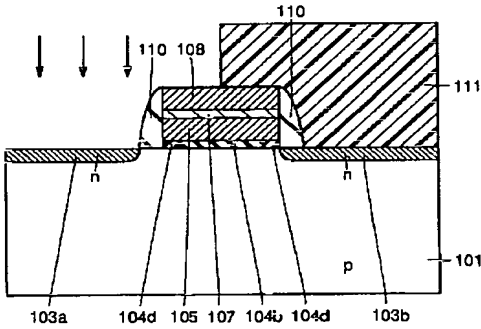
【図43】



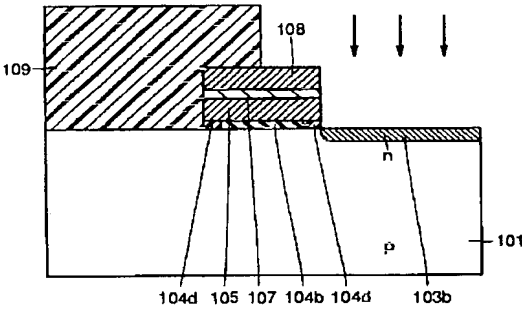
【図42】



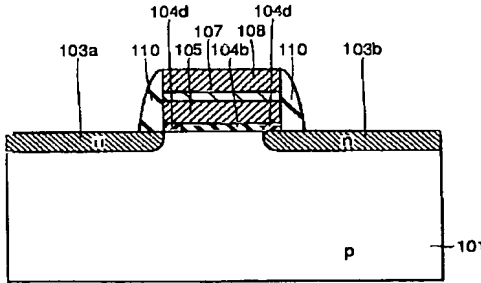
【図45】



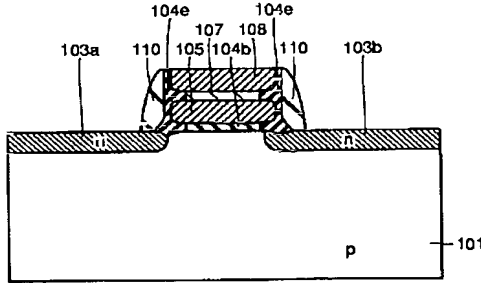
【図44】



【図46】



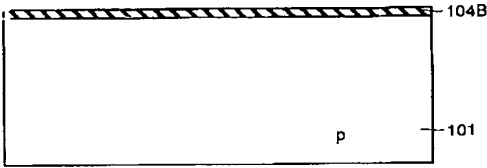
【図47】



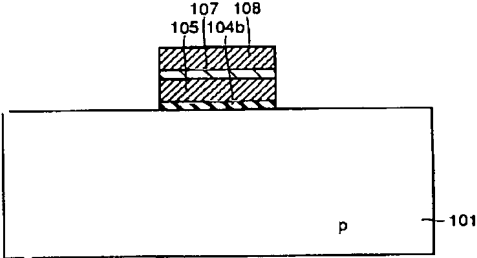
(2 2)

特開平 9 - 3 1 2 3 9 3

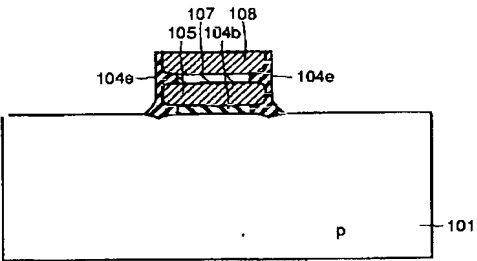
【図48】



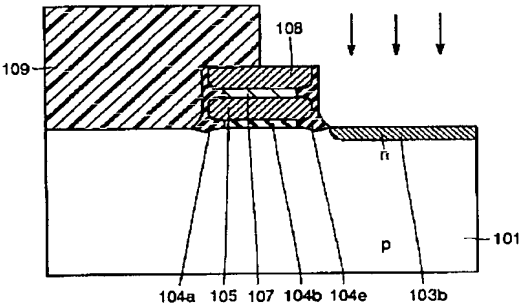
【図49】



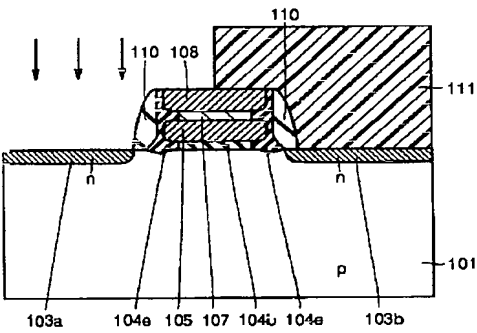
【図50】



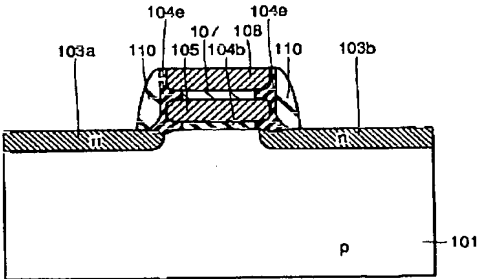
【図51】



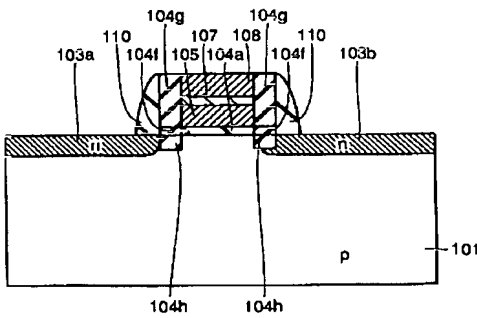
【図52】



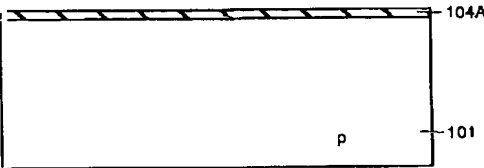
【図53】



【図54】



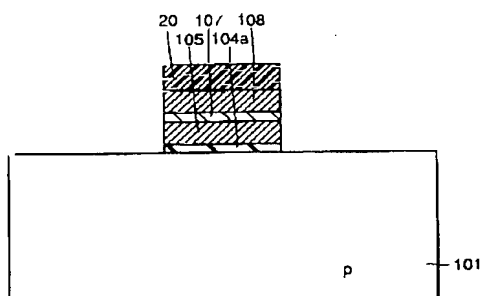
【図55】



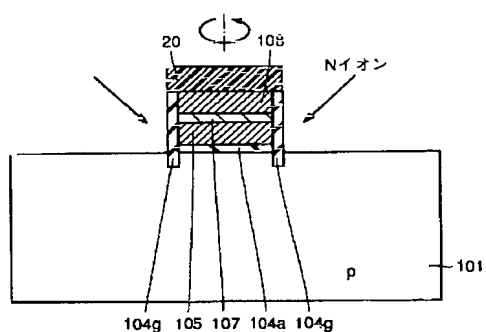
(23)

特開平9-312393

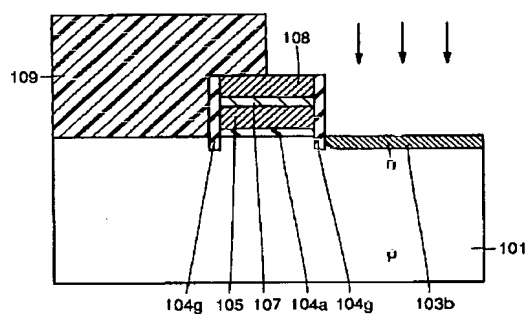
【図56】



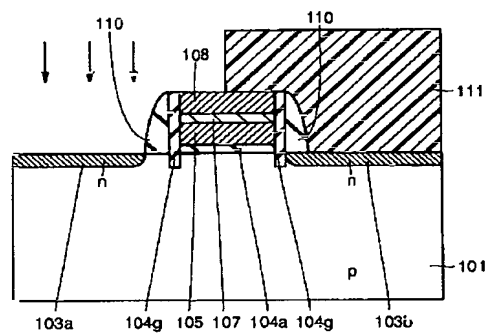
【図57】



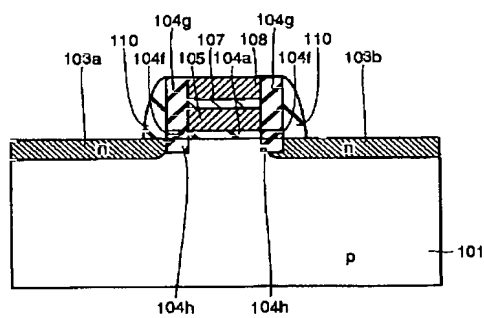
【図58】



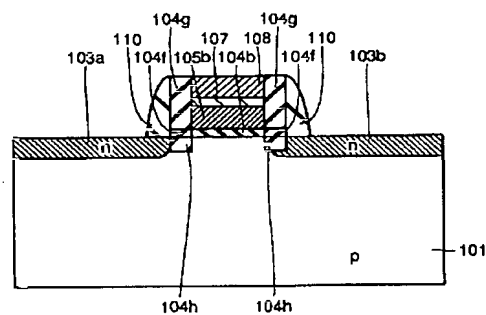
【図59】



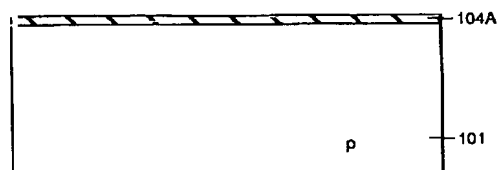
【図60】



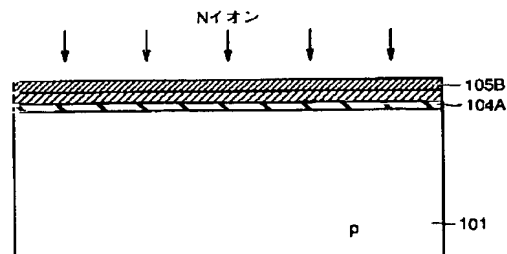
【図61】



【図62】



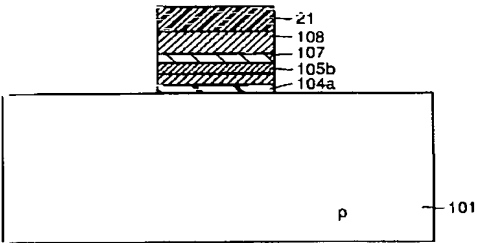
【図63】



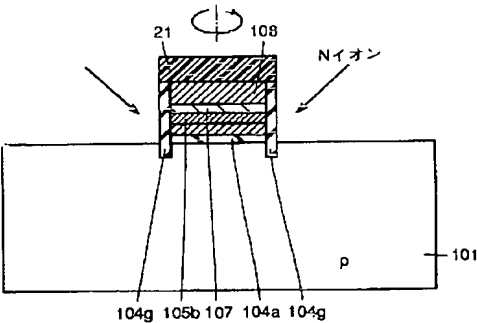
(2 4)

特開平9-3 1 2 3 9 3

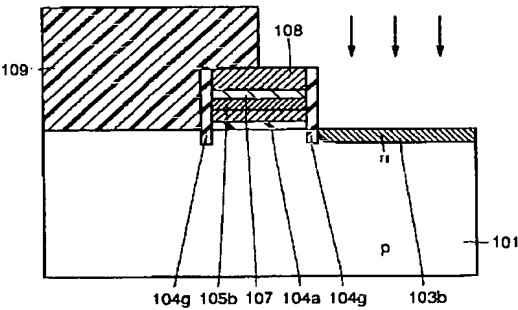
【図64】



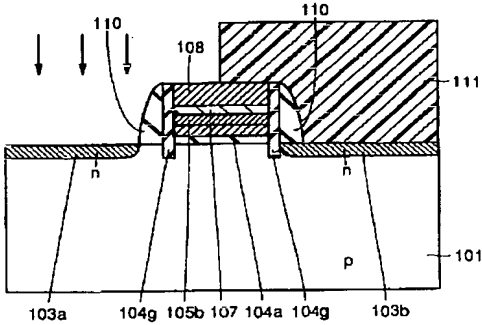
【図65】



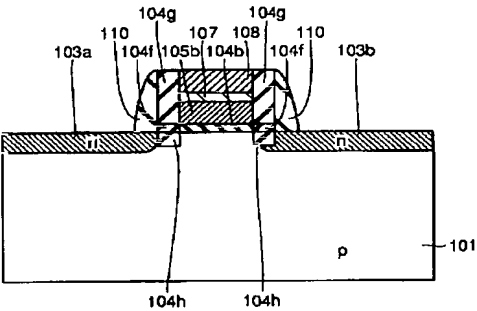
【図66】



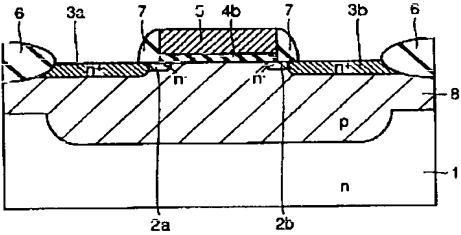
【図67】



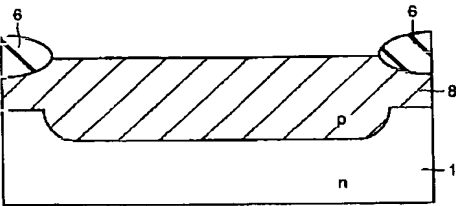
【図68】



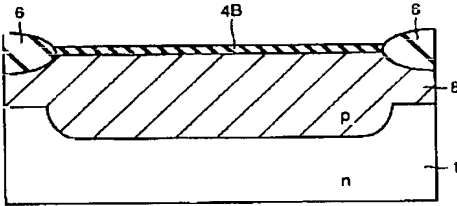
【図69】



【図70】



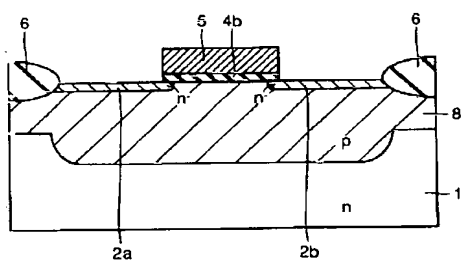
【図71】



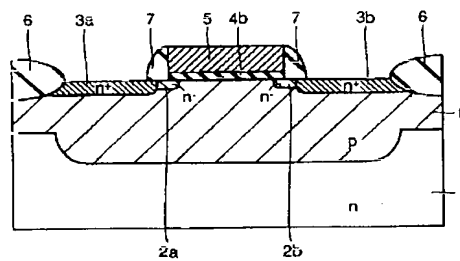
(25)

特開平9-312393

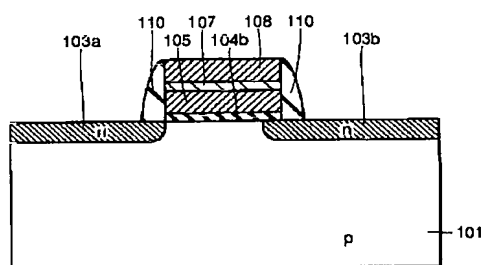
【図72】



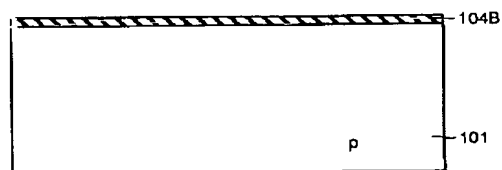
【図73】



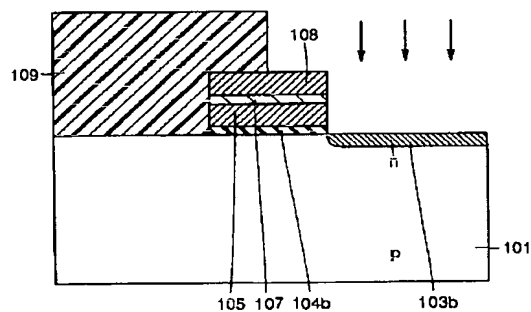
【図74】



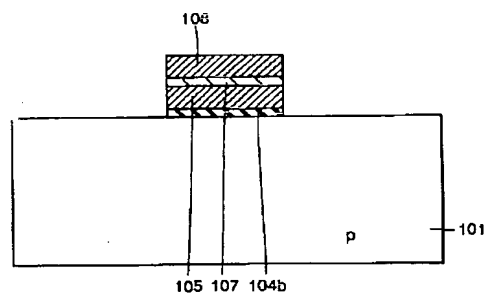
【図75】



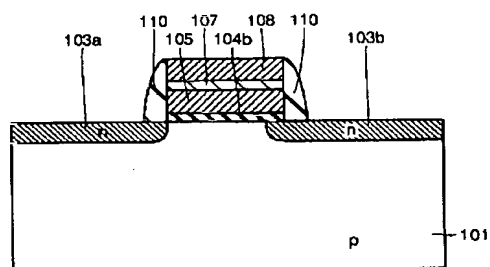
【図77】



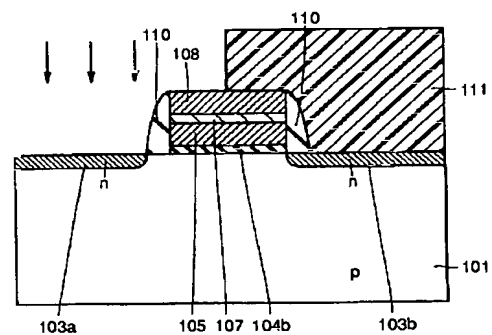
【図76】



【図79】



【図78】



(2 6)

特開平9-312393

フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/792				